

PAT-NO: JP355127027A
DOCUMENT-IDENTIFIER: JP 55127027 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 1, 1980

INVENTOR- INFORMATION:

NAME
HATTORI, TSUKASA
BABA, HIROYUKI
USUDA, OSAMU
NAKAMURA, KISAKU
HORI, AKIO

ASSIGNEE- INFORMATION:

NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP54034277

APPL-DATE: March 26, 1979

INT-CL (IPC): H01L021/58

US-CL-CURRENT: 438/504, 438/FOR.413

ABSTRACT:

PURPOSE: To prevent the generation of heat fatigue and the element breakage by the material constitutes a connecting part by connecting a semiconductor element on an element distributing base floor through a soldering layer made by tin and antimony as the principal ingredient.

CONSTITUTION: A semiconductor element 1 and an element distributing base

floor 2 are connected by a soldering layer 3 made by tin and antimony as the principal ingredient through nickel layers 1a and 1b. It is preferable for the soldering layer to contain antimony having the weight of 6.0 through 11.5 in percentage. In addition to the above antimony, it is also preferable for the soldering layer to contain at least either one of gold, silver, nickel or copper, wherein the weight is 2 or less in percentage. In this way, the generation of heat fatigue and element crack by heat distortion will remarkably be reduced.

COPYRIGHT: (C)1980,JPO&Japio

⑯ 公開特許公報 (A)

昭55-127027

⑤Int. Cl.³
H 01 L 21/58識別記号
H 01 L 21/58庁内整理番号
6741-5F

⑬公開 昭和55年(1980)10月1日

発明の数 1
審査請求 有

(全 3 頁)

⑤半導体装置

⑦特 願 昭54-34277

⑦出 願 昭54(1979)3月26日

⑦発明者 服部宰

姫路市余部区上余部50東京芝浦
電気株式会社姫路工場内

⑦発明者 馬場博之

姫路市余部区上余部50東京芝浦
電気株式会社姫路工場内

⑦発明者 薄田修

⑦発明者 中村喜作

川崎市幸区小向東芝町1東京芝
浦電気株式会社総合研究所内

⑦発明者 堀昭男

川崎市幸区小向東芝町1東京芝
浦電気株式会社総合研究所内

⑦出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑦代理人 弁理士 井上一男

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子が銀、アンチモンを主成分とする銀層を介して電子配設台床に接合された半導体装置。

(2) 6.0ないし11.5重量パーセントのアンチモンを含む銀層である特許請求の範囲第1項記載の半導体装置。

(3) 金、銀、ニッケル、銅の少なくとも1つを2重量パーセント以下含む銀層である特許請求の範囲第2項記載の半導体装置。

3. 発明の詳細な説明

この発明は半導体装置にあり、特に半導体素子が電子配設台床に改良された銀層にて接合され耐熱疲労にすぐれた半導体装置に関する。

一例の半導体装置の高出力用半導体装置(以下パワートランジスタと称する)の構造を第1図に斜視図示する。図において、(1)は半導体素子、(2)

は前記半導体素子をその1主面の電極にて銀層(3)を介して接続し放熱板を兼ねる電子配設台床、(4a)、(4b)、(4c)はいずれも電極導出リードにて(4b)は前記電子配設台床部に接続しつつ一例のコレクタ電極を導出する。残る(4a)、(4c)は半導体素子のたとえばエミッタ、コレクタの各電極を導出し、これらの電極は夫々がポンディングワイヤ(5a)、(5c)にて前記(4a)、(4c)にて表わされる電極導出リードの端部と接続される。

こゝに前記銀層(3)には従来、金共晶を主成分とする金-銀、金-シリコン系と、銀を主成分とする銀-錫系と、銀を主成分とする錫系などのはんだが用いられていた。しかして、半導体装置は動作により発生する熱サイクルの影響を受け、この電子を配設する電子配設台床と半導体素子との熱膨張率の差異によりこれらの間のろう層に歪応力が印加される。そして、接合部を構成する材料により半導体素子を破損したり、または接合部が疲労し半導体装置の信頼性を著しく阻害する。

次に従来用いられたはんだ材の欠点を列挙する。

(1)

(2)

主成分としたものである。

以下にこの発明を一実施例につき詳細に説明する。この発明にかかる一実施例の半導体装置は、半導体素子と素子配設台床との接合が第2図に示す如くなる。すなわち、(1)は半導体素子、(2)は素子配設台床にて半導体素子の発熱を放出するための放熱板を兼ねるため鋼、またはリン青銅にて形成される。(3)は錫-アンチモンを主成分とするはんだ層で、前記半導体素子および素子配設台床とを夫々の接合面主面に被着されたニフケル層(1a) (2a)にて接合する。上記はんだ層は一例の錫-アンチモンを主成分とし、アンチモンを重量ペーセントで6.0ないし11.5含むことを特徴とする。さらには錫-アンチモンを主成分とし、このアンチモンが重量ペーセントで6.0ないし11.5含むとともに、次に述べる接合工程にて含まれ、あるいははんだ製造過程にて原料の不純物と考えられる微量成分として金、銀、ニフケル、銅の少なくとも1つを重量ペーセントにて2以下含むものである。

第3図、第4図は一実施例の半導体素子を素子

(3)

(4)

配設台床に接合する工程を断面図示するもので、第3図において、(1)は半導体素子、(1a)は電極であるめつきニフケル層、(1b)は前記ニフケル層またはその一部に層厚2000~3000Åに形成された金層、(2)は素子配設台床、(2a)は素子配設台床の半導体素子配設面に設けられためつきニフケル層、(3)は錫-アンチモンを主成分とするプリフォームドはんだ箔で一例の方形薄板状に形成されたものである。上記構成にてはんだ箔を介して半導体素子を素子配設台床に接合固定せしめて第4図に断面図示する如くなる。第4図において第3図の金層(1b)ははんだ箔の溶融によりはんだに入り合金化している。(3)ははんだ層である。また、上記はんだ層にははんだ製造における材料の含有物、半導体素子接合工程にて上記金層、めつきニフケル層、素子配設台床の鋼の抵抗導入等により各々2%以下にて含有される。

上記の如くなるはんだ層は錫-アンチモンを主成分とし、一例のアンチモンが重量ペーセントにて6.0ないし11.5の範囲にある。これは錫-アン

(5)

(6)

チモン系のはんだをアンチモン含有率(重量%)を3.5、5、8、9、10、11、13、15、23の9種を被覆し、これを厚さ2mm、幅10mm、長さ100mmの長方形片の中央部を長さ20mmに限り幅5mmに縮めた第5図に斜視図示される形状に圧延形成し、150℃における引張強さと伸びを測定し、第6図に示す。同図の横軸は曲線(A)に関する引張強度を単位(每/mm²)と、曲線(B)に関する伸びを単位(%)にて夫々示し、また横軸はアンチモンの含有率を重量ペーセントにて示す。図においてアンチモンの含有率(重量)6.0ないし11.5%の範囲にあるものが好適とみられる。

次に前記はんだ箔を圧延して3°×0.1mmのプリフォームはんだペレットを作り、第1図(または第2図)の如くマウントしてパワートランジスタを作製し、温度変化ΔTc=100℃で熱抵抗(Rth)の変化率が1.5倍以上を不良として熱疲労試験を行ない、第7図にアンチモン量と不良発生率との関係を示した。図に見られる結果が顕著なアンチモン含有量の範囲は6.0ないし11.5重量ペーセントに

あることが確認できた。

なお、この発明は熱疲労特性が特に要求されるパワートランジスタに対し顕著な効果のあることは上記実施例の如くであるが、一般の半導体装置に適用されて着効あることは云うまでもない。

4. 図面の簡単な説明

第1図はパワートランジスタの構造の要部を直接的に示す斜視図、第2図は本発明の一実施例の半導体素子と素子配設合床との接合を示す断面図、第3図および第4図は半導体素子と素子配設合床との接合を工程順に示すいずれも断面図、第5図ははんだ試験片の構造を示す斜視図、第6図ははんだ試験片による引張強さと伸びとを示す図、第7図は熱疲労試験を示す図である。

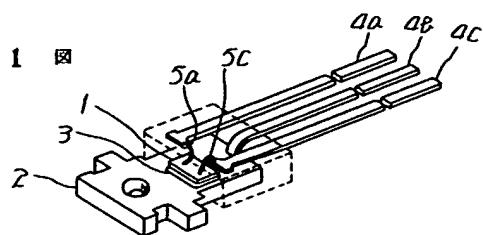
なお、図中同一符号は同一または相当部分を夫々示すものとする。

- 1 半導体素子
- 1a, 2a めつきニフケル層
- 3 銀-アンチモン系はんだ層
- 3' 銀-アンチモン系はんだ箔

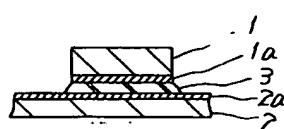
代理人弁理士井上一男

(7)

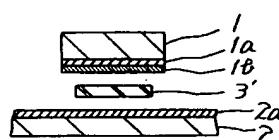
第1図



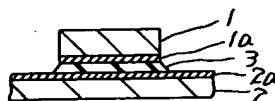
第2図



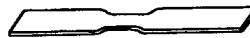
第3図



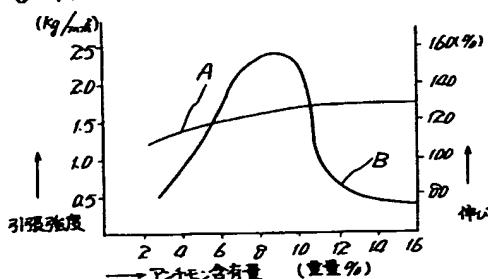
第4図



第5図



第6図



第7図

